

IDS #2  
09/752,726

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-134800

(43)Date of publication of application : 21.05.1999

(51)Int.Cl.

G11B 20/10

G11B 7/00

(21)Application number : 09-295141

(71)Applicant : SHARP CORP

(22)Date of filing : 28.10.1997

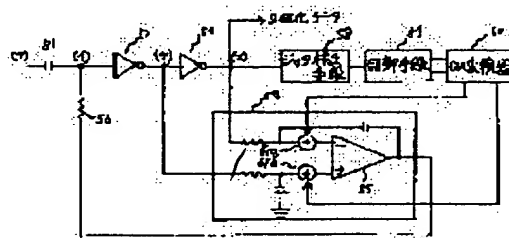
(72)Inventor : HAYASHI MITSUHIRO

## (54) BINARY CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a binary circuit in which the margin for jitter is increased by compensating for the amount of deviations in positive and negative pulse widths.

**SOLUTION:** The circuit is provided with the means to binarize analog signals, a means 54, which averages the binarized signals, and the means which feeds back an averaged DC level. Thus, the circuit has an asymmetric compensation function. Moreover, the circuit is provided with a voltage adding means which compensates for a slice level based on the amount of jitter to average the binarized signals. The voltage adding means is provided with a means 58, which detects the amount of jitter from the binarized data of the output of the binary circuit, and a means 59 which controls the amount of jitter. The asymmetry compensation function is realized by providing the means which adds the voltage based on the amount of controlled jitter to the means 54 which averages the binary signals.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**BEST AVAILABLE COPY**

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(51) Int.Cl.<sup>6</sup>G 1 1 B 20/10  
7/00

識別記号

3 2 1

F I

G 1 1 B 20/10  
7/003 2 1 A  
T

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平9-295141

(22) 出願日 平成9年(1997)10月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 林 満博

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

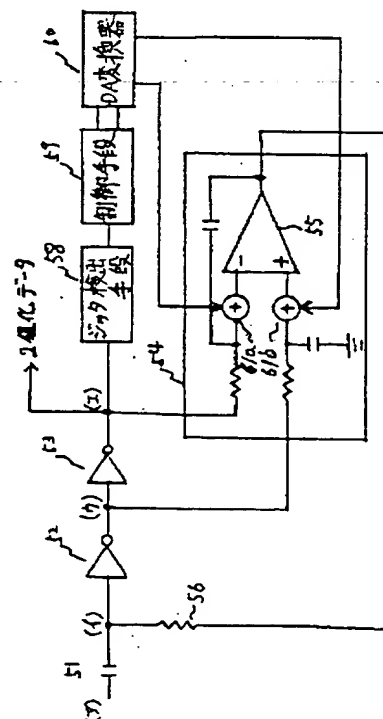
(74) 代理人 弁理士 小池 隆彌

(54) 【発明の名称】 二値化回路

(57) 【要約】

【課題】 ポジティブパルス幅とネガティブパルス幅のずれ量を補正することにより、ジッタに対する余裕を広げることができる二値化回路を得る。

【解決手段】 アナログ信号を二値化する手段と、二値化された信号を平均化するための手段54と、平均化されたDCレベルをフィードバックするための手段からなるアシンメトリ補正の機能を有する二値化回路で、二値化信号を平均化するためにジッタ量に基づいてスライスレベルを補正する電圧加算手段を備え、該電圧加算手段は、二値化回路出力の二値化データよりジッタ量を検出する手段58とそのジッタ量を制御する手段59を設け、その制御されたジッタ量に基づいた電圧を二値化信号を平均化するための手段54に加算する手段57a、57bを設けてアシンメトリ補正の機能を実現している。



## 【特許請求の範囲】

【請求項1】 アナログ信号を二値化する手段と、二値化された信号を平均化するための手段と、平均化されたDCレベルをフィードバックするための手段からなるアシンメトリ補正の機能を有する二値化回路において、二値化信号を平均化するためにジッタ量に基づいてスライスレベルを補正する電圧加算手段を備えることを特徴とする二値化回路。

【請求項2】 電圧加算手段は、二値化回路出力の二値化データよりジッタ量を検出する手段と、前記検出されたジッタ量を制御する手段と、前記制御されたジッタ量に基づいた電圧を二値化信号を平均化するためのスライスレベルに加算する手段であることを特徴とする請求項1記載の二値化回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、二値化回路、例えば光ディスク等の情報記録媒体において、その記録媒体の情報の再生を行うために使用される二値化回路に関するものである。

【0002】

【従来の技術】CDやDVDの再生装置においては、ディスク上にビットと呼ばれる溝があり、このビットの部分とビットの無い部分の反射率の違いを利用して信号を取り出すことによって、ディスクに記録されているデジタル情報を得ている。このデジタル情報の情報列は、DC成分が抑制されるようにディスクに記録されている。このため、原理的にはRF信号をAC結合によりDC成分を除去して、コンパレータなどで二値化処理を行えばディスクの情報が取り出せる。

【0003】ここで図6及び図7は、アシンメトリ補正機能を有した二値化処理系回路の従来例を示した図である。以下にその動作を説明する。

【0004】ピックアップ2から照射された光ビームはディスク1で反射され、その反射光はフォトディテクタによって電流信号に変換される。この電流信号を電流-電圧(I/V)変換器3で電流信号を電圧信号に変換して増幅器4にて増幅を行う。この増幅されたRF信号は二値化回路5を通してデジタル信号に変換される。

【0005】次に二値化回路部分の詳細な動作を説明する。

【0006】図6の場合は、従来例1としてNOTゲートのスレッシュホールド電圧を利用してアシンメトリを自動補正する二値化回路である。この場合は、ポジティブパルスとネガティブパルスの平均をRF信号に加算して二値化する。

【0007】この二値化回路5は、コンデンサ51、2つのCMOSバッファ52、53、オペアンプ55からなる積分器54、抵抗56から構成される。

【0008】図6の二値化回路5の動作を図3の信号波

形とともに説明する。ここで図3の信号波形(ア)～(エ)は図6の(ア)～(エ)の位置での信号波形である。

【0009】RF信号(図3(ア))は、AC成分を除去するためのコンデンサ51を通った後、積分器54から得られたDCバイアスを抵抗56を経由して加算して(図3(イ))、1段目のCMOSバッファ52に入力される。この1段目のCMOSバッファ52のスレッシュホールド電圧を利用して、RFのアナログ信号をデジタル信号に変換する。この1段目のCMOSバッファ52からは、スレッシュホールド電圧より低いところがHIGHレベルになるネガティブパルス(図3(ウ))が得られる。このネガティブパルス(図3(ウ))を2段目のCMOSバッファ53に入力することにより、2段目のCMOSバッファの出力からその反転したポジティブパルス(図3(エ))が得られる。二値化データは2段目のCMOSバッファ53の出力から取り出す。このポジティブパルス(図3(エ))とネガティブパルス(図3(ウ))を積分器54に通すと、ポジティブパルス幅とネガティブパルス幅の平均値が出てくる。このとき、ポジティブパルス出力とネガティブパルス出力、積分器54の反転入力、非反転入力との接続は、積分器54の出力がほぼ(Vcc+GND)/2に収束するように接続する。そして、積分器54の出力をAC成分を取り除いた後のRF信号に加算する。

【0010】また図7の場合は、従来例2としてRF信号をコンパレータを使ってアシンメトリ補正を行う二値化回路である。

【0011】この二値化回路5は、コンパレータ57を使用している以外は図6の構成と同様である。

【0012】以下に図7の二値化回路5の動作を説明する。ここで、図7の(ア)～(エ)の位置での信号波形は図4の信号波形(ア)～(エ)である。ただし、図4の信号波形は図4(イ)の中心電位のレベルを除いては図3の信号波形と同様である。

【0013】RF信号(図4(ア))は、AC成分を除去するためにコンデンサ51を通った後、Vcc/2にバイアスされた該信号(図4(イ))と積分器54から得られたDCバイアスはコンパレータ57に入力される。コンパレータ57を通った信号は、二値化されてH、Lの二値化信号に変換される。その後CMOSバッファ52、53を通ることによりHとLのレベルをVccとGNDにする。この1段目のCMOSバッファ52からは、スレッシュホールド電圧より低いところがHIGHレベルになるネガティブパルス(図4(ウ))が得られる。このネガティブパルス(図4(ウ))を2段目のCMOSバッファ53に入力することにより、2段目のCMOSバッファの出力からその反転したポジティブパルス(図4(エ))が得られる。二値化データは2段目のCMOSバッファ53の出力から取り出す。このポジ

ティブパルス（図4（エ））とネガティブパルス（図4（ウ））を差動の積分器54に通すと、ポジティブパルスとネガティブパルスの平均の電位を得ることができる。これをコンパレータ57の基準電圧にすることによりアシンメトリを補正することができる。

【0014】

【発明が解決しようとしている課題】しかしながら、上記従来例では、理想的にはアシンメトリが補正されるが、実際には積分器54に使われるオペアンプ55のゲインが有限であることや、CMOSバッファ52、53の10 スレッシュホールド電圧が $(V_{cc} + GND) / 2$ からずれていること、あるいは、コンパレータ57やCMOSバッファ52、53の出力の立ち上がり立ち下がり時間が0でないこと、などの影響により、ポジティブパルス幅とネガティブパルス幅は一致することができない（図8aの状態）。また回路によって生じるポジティブパルス幅とネガティブパルス幅の違いによって、同じジッタの場合でも、ポジティブパルスとネガティブパルスの幅が一致している場合（図8b）と比べて、一致していない場合（図8a）はジッタに対する余裕が狭くなるという問題がある。つまり、ジッタの余裕幅を図8aのポジティブパルスとネガティブパルスの幅が一致していない場合Ta、図8bでのポジティブパルスとネガティブパルスの幅が一致している場合Tbとすると、 $Ta < Tb$ であることから、一致していない場合はジッタに対する余裕が狭くなる。

【0015】本発明では、上記問題点を解決するために従来のアシンメトリ補正回路では補正仕切れず、回路のオフセットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することができ、ジッタに対する余裕を広げることで、安定した高精度な二値化信号を出力する二値化回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の請求項1に係る二値化回路は、アナログ信号を二値化する手段と、二値化された信号を平均化するための手段と、平均化されたDCレベルをフィードバックするための手段からなるアシンメトリ補正の機能を有する二値化回路において、二値化信号を平均化するためにジッタ量に基づいてスライスレベルを補正する電圧加算手段を備えることを特徴とする。

【0017】本発明の請求項2に係る二値化回路は、請求項1に係る二値化回路において、電圧加算手段は、二値化回路出力の二値化データよりジッタ量を検出する手段と、前記検出されたジッタ量を制御する手段と、前記制御されたジッタ量に基づいた電圧を二値化信号を平均化するためのスライスレベルに加算する手段であることを特徴とする。

【0018】

【発明の実施の形態】以下に、本発明の二値化回路における実施形態を図をもとにして説明する。

【0019】図1は、本発明における第1の実施例である。

【0020】図1の（ア）～（エ）の位置での信号波形は図3の信号波形（ア）～（エ）である。

【0021】ディスクから取り出されたRF信号（図3（ア））は、図1の二値化回路に入力される。

【0022】この二値化回路は、コンデンサ51、2つのCMOSバッファ52、53、オペアンプ55からなる積分器54、抵抗56と、ジッタ検出手段58、制御手段59、DA変換器60、加算部61a、61bとから構成され、回路自体の持つポジティブパルス幅とネガティブパルス幅の差のオフセットを取り除くために、積分器54のオペアンプ55の入力部に加算部61a、61bを設け、該加算部61a、61bにDCバイアスを注入する仕組みとしている。

【0023】RF信号（図3（ア））は、AC成分を除去するためのコンデンサ51を通った後、積分器54から得られたDCバイアスを抵抗56を経由して加算して（図3（イ））、1段目のCMOSバッファ52に入力される。この1段目のCMOSバッファ52のスレッシュホールド電圧を利用して、RFのアナログ信号をディジタル信号に変換する。1段目のCMOSバッファ52からは、スレッシュホールド電圧より低いところがHighレベルになるネガティブパルス（図3（ウ））が得られる。このネガティブパルス（図3（ウ））を2段目のCMOSバッファ53に入力することにより、その出力からポジティブパルス（図3（エ））が得られる。二値化データは2段目のCMOSバッファ53の出力から取り出す。このポジティブパルスとネガティブパルスを積分器54に通すと、ポジティブパルス幅とネガティブパルス幅の平均値が出てくる。この時、ポジティブパルス出力とネガティブパルス出力、積分器の反転入力と非反転入力との接続は、積分器の出力がほぼ $(V_{cc} + GND) / 2$ に収束するように接続する。そして、積分器54の出力をAC成分を取り除いた後のRF信号に加算する。ここまでは、従来からよく利用されているアシンメトリ補正回路である。しかし、上記従来のアシンメトリ補正回路では、回路自体の持つポジティブパルス幅とネガティブパルス幅の差のオフセットを取り除くことはできなかった。そのため、本発明では回路自体の持つポジティブパルス幅とネガティブパルス幅の差のオフセットを取り除くために、図1の回路に示すように積分器54のオペアンプ55の入力部に設けられた加算部61a、61bにDCバイアスを注入している。これにより、回路のオフセットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することができる。

50 【0024】ここで、図5は積分器54のオペアンプ5

5の入力部に設けられた加算部61a、61bにDCバイアスを注入する前後の信号に対するスライスレベルの状況を示した図である。ジッタ検出手段と制御手段によって二値化データからジッタ量を検出し、その検出されたジッタ量を制御して、ジッタ量が最小となるようにDCバイアスが出力されることから、DCバイアス注入前のスライスレベルL1はDCバイアス注入によってL2に遷移する(図5a)。これにより、ポジティブパルス幅とネガティブパルス幅は、DCバイアス注入前にはポジティブパルス幅WP1とネガティブパルス幅WN1の10関係がWP1>WN1で、ずれ幅WP1-WN1が存在した状態(図5b)であったが、DCバイアス注入後にはポジティブパルス幅WP2とネガティブパルス幅WN2の関係がWP2=WN2となり、ずれ幅が存在しない状態(図5c)となった。この結果、回路のオフセットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することができたことから、図8bのようにジッタに対する余裕を広げることができる。

【0025】加算部61a、61bに注入するDCバイアスは、CMOSバッファ53から出力される二値化データからジッタ検出手段58を用いてジッタを検出し、そのジッタ量を制御手段59を用いてジッタ量が最小になるようにDA変換器60から電圧を出力したものである。ここで、ジッタ検出手段は二値化データからジッタを検出できる機能を有しているものであれば特に限定はしない。また、制御手段59も同様に、CPUなどを使って構成され、ジッタ量が制御できるものであれば特に限定はしない。

【0026】制御手段59は、加算部61a、61bに注入する電圧を決めるため、この二値化回路にRF信号が入力されている間に、何種類かの電圧を加算部61a、61bに注入し、電圧を注入するたびにジッタを検出し、ジッタが最小になる注入電圧を記憶する。最終的にはジッタ量が最小となる電圧を加算部61a、61bに注入する。この結果、本発明の回路構成においては、このようにジッタ量が最小になるように注入電圧を調整することができる。

【0027】図2は、本発明における二値化回路の第2の実施例である。ここで、本実施例は前記従来例2の図7のようにコンパレータ57を使用している以外は前記第1の実施例の構成と同様である。また、図2の(ア)～(エ)の位置での信号波形は図4の信号波形(ア)～(エ)である。ただし、図4の信号波形は図4(イ)の中心電位のレベルを除いては図3の信号波形と同様である。

【0028】この二値化回路は、ディスクから取り出されて入力されたRF信号に対して前記従来例2の図7の回路と同様の動作を行うことで、ポジティブパルスとネガティブパルスの平均の電位を得て、これをコンパレー

タ57の基準電圧にすることによりアシンメトリを補正する。しかし、前記従来例2の図7の回路では回路自体の持つポジティブパルス幅とネガティブパルス幅の差のオフセットを取り除くことはできなかった。そのため、本実施例では前記実施例1と同様に積分器54のオペアンプ55の入力部に加算部61a、61bを設け、該加算部61a、61bにDCバイアスを注入する仕組みとしている。

【0029】このように、加算部61a、61bにDCバイアスを注入することにより、本実施例においても前記実施例1と同様に回路のオフセットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することができる(図5)。つまり、前記実施例1と同様の状態(図5bの状態から図5cの状態)に持って行くことができる。この結果、前記実施例1と同様に回路のオフセットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することができたことから、図8bのようにジッタに対する余裕を広げることができる。

【0030】加算部61a、61bに注入するDCバイアスは、CMOSバッファ53から出力される二値化データからジッタ検出手段58を用いてジッタを検出し、そのジッタ量を制御手段59を用いてジッタ量が最小になるようにDA変換器60から電圧を出力したものである。ここで、ジッタ検出手段は二値化データからジッタを検出できる機能を有しているものであれば特に限定はしない。また、制御手段59も同様に、CPUなどを使って構成され、ジッタ量が制御できるものであれば特に限定はしない。

【0031】以上のことから、本発明では、従来の二値化回路では対応できなかったアシンメトリの補正を、回路のオフセットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することによって、ジッタに対する余裕を広げることができることから実現できる。

【0032】尚、ここで挙げた二値化回路の実施例に関しては本発明の主旨を変えない限り、前記記載の実施例に限定されるものではない。

【0033】

【発明の効果】以上のように本発明の二値化回路では、以下の効果が得られる。

【0034】アシンメトリ補正を行う機能を有する二値化回路において、二値化信号を平均化するためにジッタ量に基づいてスライスレベルを補正する電圧加算手段を備え、前記電圧加算手段は、二値化回路出力の二値化データよりジッタ量を検出する手段と、前記検出されたジッタ量を制御する手段と、前記制御されたジッタ量に基づいた電圧を二値化信号を平均化するためのスライスレベルに加算する手段とする構成であることから、従来のアシンメトリ補正回路では補正仕切れず、回路のオフセ

ットとして一定量残ってしまうポジティブパルス幅とネガティブパルス幅のずれ量を補正することができ、ジッタに対する余裕を広げることができる。

【図面の簡単な説明】

【図1】本発明における二値化回路の第1の実施例での構成を示した説明図である。

【図2】本発明における二値化回路の第2の実施例での構成を示した説明図である。

【図3】本発明の第1の実施例及び従来例1の二値化回路での信号波形を説明した図である。

【図4】本発明の第2の実施例及び従来例2の二値化回路での信号波形を説明した図である。

【図5】本発明の二値化回路でのスライスレベルに対するポジティブパルス及びネガティブパルスの関係を示した図である。

【図6】光ディスク再生装置における従来の二値化回路\*

\*の構成を示した説明図である。

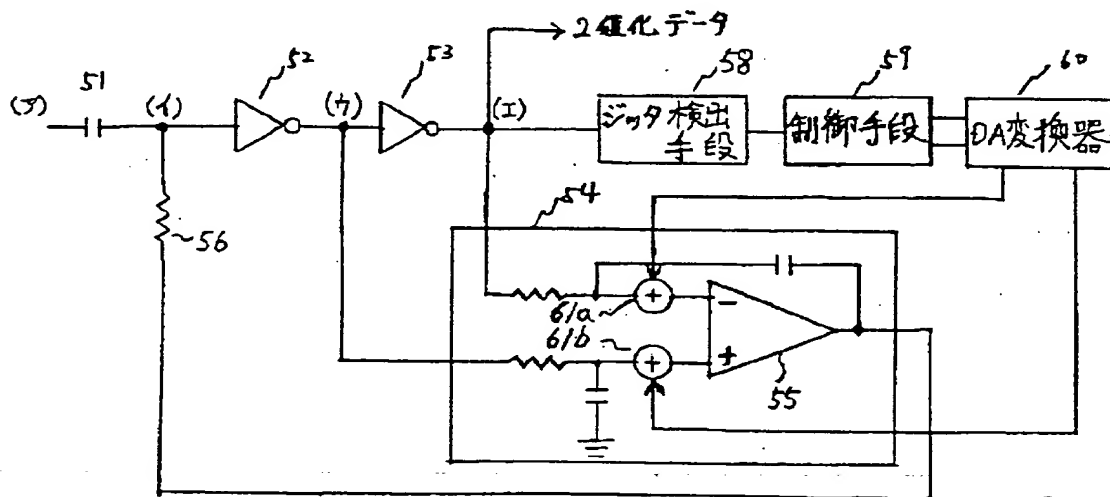
【図7】光ディスク再生装置における従来の別の二値化回路の構成を示した説明図である。

【図8】二値化データとポジティブパルス及びネガティブパルスのジッタ関係を示した図である。

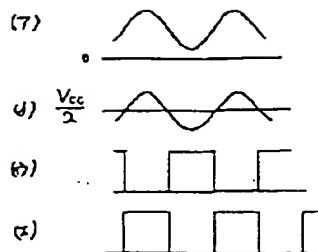
【符号の説明】

- 51 コンデンサ
- 52、53 CMOSバッファ
- 54 積分器
- 55 オペアンプ
- 57 コンパレータ
- 58 ジッタ検出手段
- 59 制御手段
- 60 DA変換器
- 61a、61b 加算部

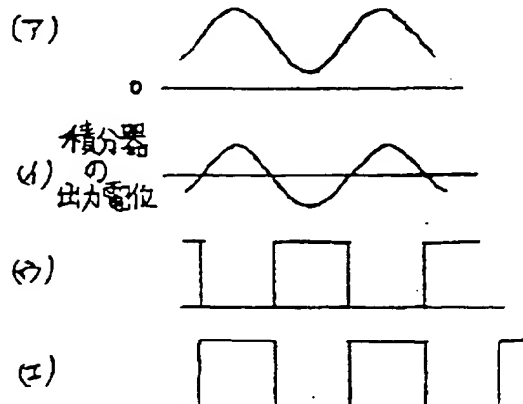
【図1】



【図3】



【図4】



(a)

(b)

(c)

注入後の  
スライスレベル

注入前の  
スライスレベル

注入前  
(ポジティブパルス幅  
>  
ネガティブパルス幅)

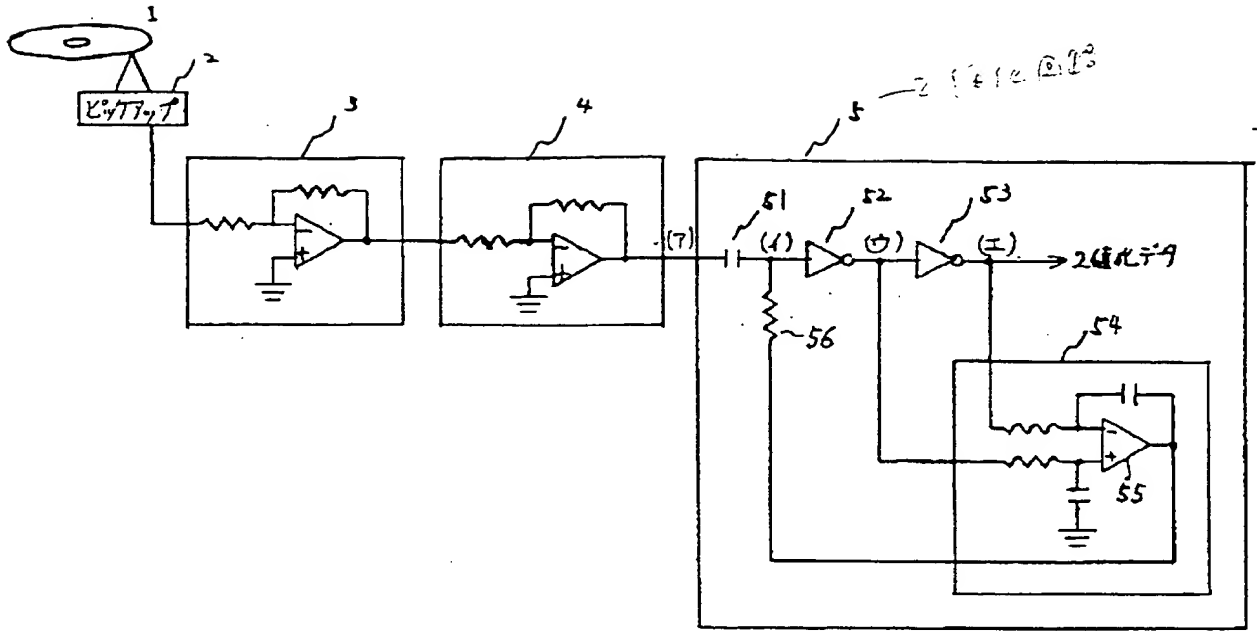
注入後  
(ポジティブパルス幅  
=  
ネガティブパルス幅)

WP1 WN1

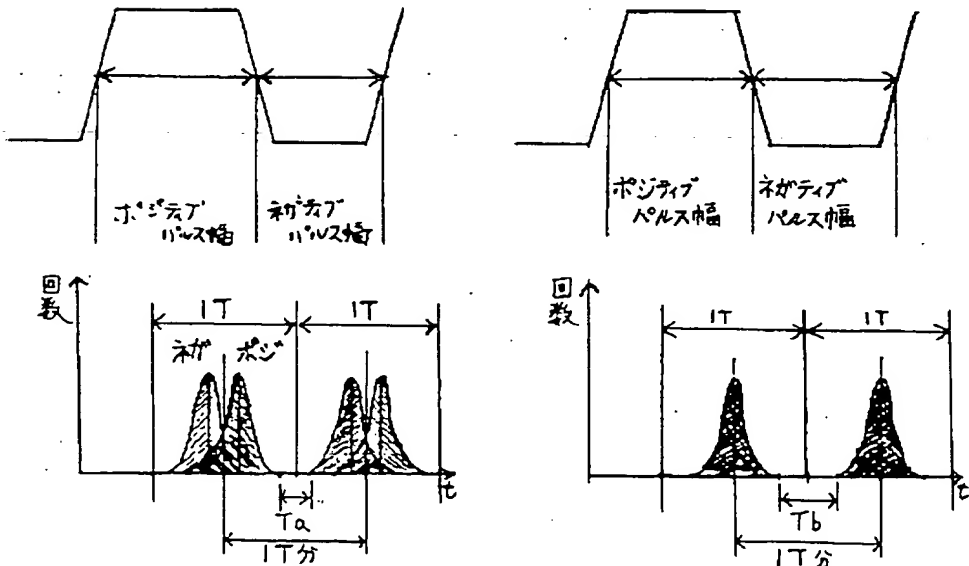
WP2 WN2



【図6】



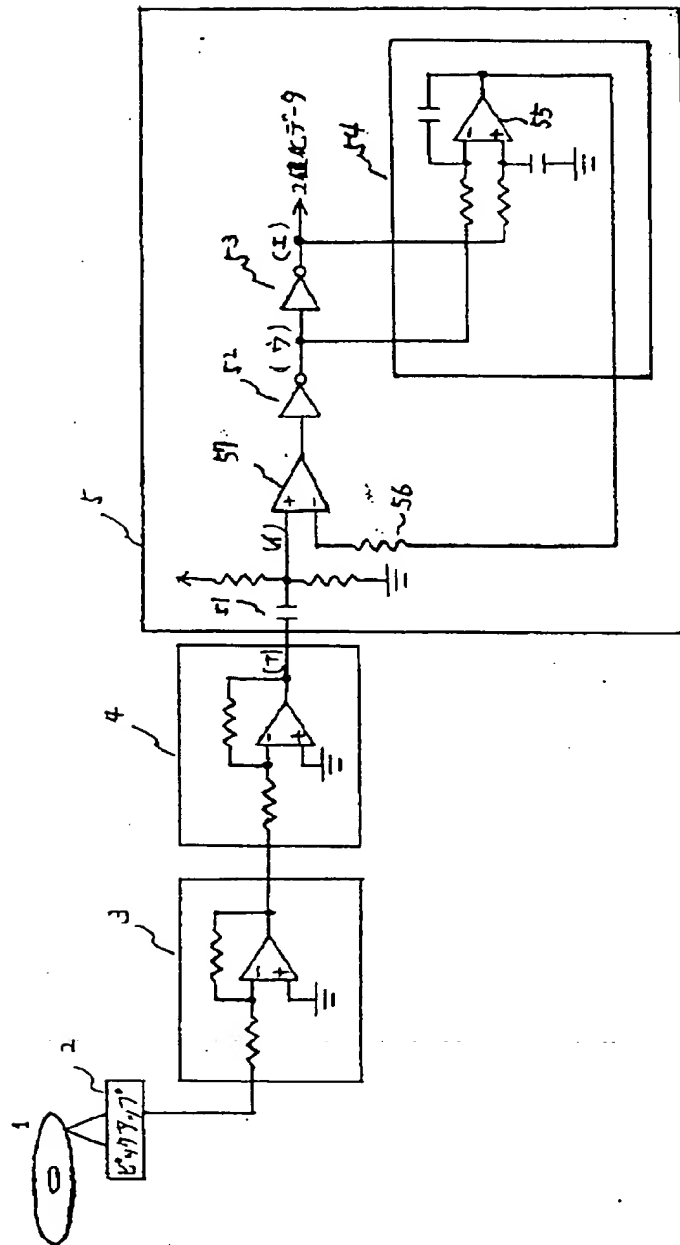
【図8】



a) ポジティブパルス幅 &gt; ネガティブパルス幅

b) ポジティブパルス幅 = ネガティブパルス幅

【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**